



(11)Publication number : 08-111075
(43)Date of publication of application : 30.04.1996

(51)Int.Cl. G11B 20/18
G11B 7/085

(21)Application number : 06-271780 (71)Applicant : SONY CORP

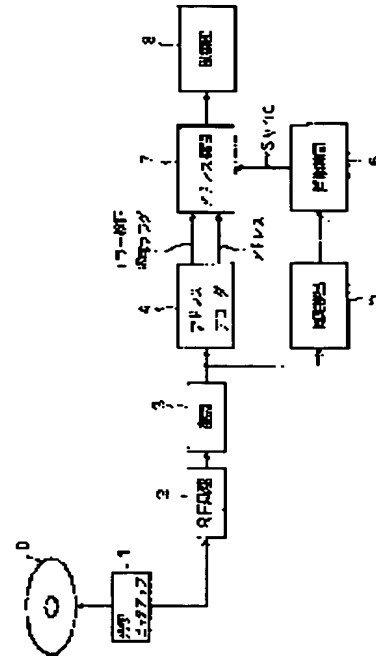
(22)Date of filing : 11.10.1994 (72)Inventor : TAJIRI TAKASHI

(54) DEVICE AND METHOD FOR GENERATING INTERPOLATION ADDRESS

(57)Abstract:

PURPOSE: To prevent picture omission, etc., by generating an interpolation address signal based on synchronizing signal outputted from a synchronizing signal interpolation circuit when an error correction impossible flag is outputted from an address decoding circuit.

CONSTITUTION: The data demodulated and outputted by a demodulation part 3 are CRC-checked and error-corrected and so on by an address decoder 4, and an address is outputted. Then, when the error correction impossible data are inputted, the error correction impossible flag is outputted. In a synchronizing signal detection part 5, a sector sync Sync added to a head of a sector as a trigger of data is separated. For instance, when the sector sync Sync is omitted due to, e.g. a defect, etc., the interpolation processing of the sector sync Sync is performed in a synchronizing signal interpolation part 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-111075

(43) 公開日 平成8年(1996)4月30日

(51) Int.Cl.⁶

G 1 1 B 20/18
7/085

識別記号

5 6 0 K 8940-5D
E 9368-5D

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数2 F D (全 8 頁)

(21) 出願番号 特願平6-271780

(22) 出願日 平成6年(1994)10月11日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 田尻 隆

東京都品川区北品川6丁目7番35号 ソニー株式会社内

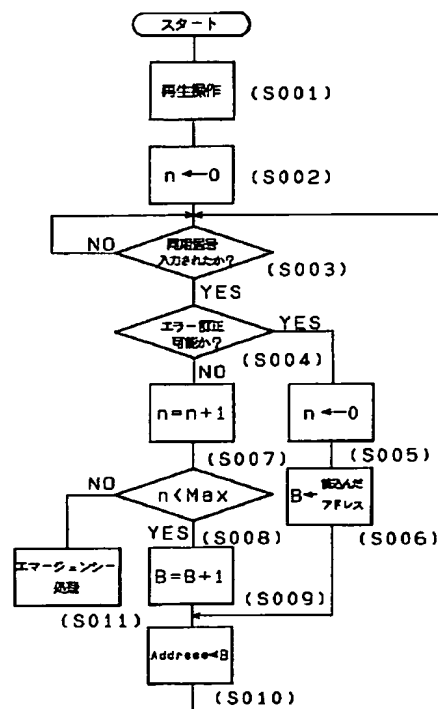
(74) 代理人 弁理士 脇 篤夫 (外1名)

(54) 【発明の名称】 補間アドレス生成装置及び補間アドレス生成方法

(57) 【要約】

【目的】 再生信号が欠落した場合でもセクタアドレスを得ることができるようにする。

【構成】 読み込んだデータのエラー訂正が不可能であると判別された場合は(S004)、補間回数 n のインクリメント処理を行う(S007)。そして補間回数 n が予め設定されている値 Max 以下である場合は(S008)、ワークエリア B をインクリメントして(S009)、バッファ『Address』に格納するようにする(S010)。ステップS003～S004、ステップS007～S010の補間アドレス算出処理を連続して行うようにした所定の回数 Max だけ繰り返して行った場合はステップS008からステップS011に進みエマージェンシー処理を行う。



【特許請求の範囲】

【請求項1】 再生されたRF再生信号を復調する復調回路と、

上記復調回路で復調された再生信号からセクタアドレスを復調するとともに、そのアドレス又はエラー訂正不可フラグを出力するアドレスデコード回路と、

上記復調回路で復調された再生信号から同期信号を分離して出力する同期検出回路と、

上記同期検出回路から出力される同期信号が欠落した場合に補間処理を行ない略一定周期の同期信号を出力する同期信号補間回路と、

上記アドレスデコード回路から出力されるエラー訂正不可フラグに基づき補間アドレスを生成するアドレス補間回路とを備え、

上記アドレス補間回路は上記アドレスデコード回路からエラー訂正不可フラグが出力された場合、上記同期信号補間回路から出力される同期信号を基準として補間アドレス信号を生成するように構成されていることを特徴とする補間アドレス生成装置。

【請求項2】 再生されたRF再生信号を復調する復調手段と、

上記復調手段で復調された再生信号からセクタアドレスを復調するとともに、そのアドレス又はエラー訂正不可フラグを出力するアドレスデコード手段と、

上記復調手段で復調された再生信号から同期信号を分離して出力する同期検出手段と、

上記同期検出手段から出力される同期信号が欠落した場合に補間処理を行ない略一定周期の同期信号を出力する同期信号補間手段と、

上記アドレスデコード手段から出力されるエラー訂正不可フラグに基づき補間アドレスを生成するアドレス補間手段とを備え、

上記アドレス補間手段は上記アドレスデコード手段からエラー訂正不可フラグが出力された場合、上記同期信号補間手段から出力される同期信号を基準として補間アドレス信号を生成するようになされていることを特徴とする補間アドレス生成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、1フレーム内に完結するアドレスが記録されている記録媒体の補間アドレス生成方法及び補間アドレス生成装置に関するものである。

【0002】

【従来の技術】例えばCD-DAやビデオCD等のデータ記録フォーマットは、図4に示されているように1フレームが最小単位となり、98フレームで1ブロックが構成されている。1フレームは588ビットで構成され、先頭24ビットが同期データ、続く14ビットがサブコードデータエリアとされている。そしてその後データ及びパリティが配される。

【0003】この構成のフレームが98フレームで1ブロックが構成され、98個のフレームから取り出されたサブコードデータが集められて図5(a)のような1ブロックのサブコードデータが形成される。98フレームの先頭の第一、第二のフレーム(フレーム98n+1、フレーム98n+2)から取り出されたサブコードは同期パターンとされている。そして、第三フレームから第98フレーム(フレーム98n+3～フレーム98n+98)までで、各96ビットのチャンネルデータ、すなわちP、Q、R、S、T、U、V、Wのサブコードデータが形成される。

【0004】このうち、アクセスなどの管理のためにはPチャンネルとQチャンネルが用いられる。ただしPチャンネルはトラックとトラック間のポーズ部分を示しているのみで、より細かい制御はQチャンネル(Q₁～Q₉₆)によって行われる。96ビットのQチャンネルデータは図5(b)に示されているような構成となる。

【0005】まずQ₁～Q₄までの4ビットはコントロールデータとされ、オーディオのチャンネル数、エンファシス、CD-ROMの識別等に用いられる。次にQ₅～Q₈の4ビットはアドレスとされ、これはサブQデータのコントロールビットとされている。このアドレス4ビットが『0001』である場合は、続くQ₉～Q₈₀のサブQデータはオーディオQデータであることを示し、また『0100』の場合は、続くQ₉～Q₈₀のサブQデータがビデオQデータであることを示している。そして、Q₉～Q₈₀で72ビットのサブQデータとされ、残りのQ₈₁～Q₉₆はCRCとされる。

【0006】上記したフォーマットでは、98フレームで完結するサブコード内にディスク内のアドレスを示す時分秒が記録されている。特に時分秒が記録されているQチャンネルはCRC16ビットも付加されているので、バーストエラー等のエラーにたいしては信頼性が高い。

【0007】図6は1フレーム内にアドレスが記録されているディスクシステムの1セクタを模式的に示す図である。図示されているように1セクタはn個のフレームで構成され、先頭の数ビットはセクタシンクSyncとされ、次にセクタヘッダが続いている。このセクタヘッダが上記サブコードに対応しており、セクタアドレスが記録されている。さらにセクタヘッダに続き再生されるデータエリア、及びパリティエリアが構成されている。

【0008】上記セクタヘッダは32バイトで構成され、そのレイアウトは例えば図7に示されているようになる。すなわち、先頭の16ビットはCRCとされ、このCRCに続いて24ビットからなる一連のアドレスが記録されているAddressフィールドが構成される。そして、AddressフィールドにおいてMSB(most significant bits)はAddr1フィールド、またLSB(least significant bits)はAddr0フィールドとされている。

このAddress フィールドは2の補数で符号化されるとともに、プログラムエリアにある最初のセクタはAddress『0』、またリードインエリアにある最後のセクタはAddress『1』とされている。

【0009】さらにAddress フィールドに続いて、Reservedフィールド、layer フィールド、Copyright フィールド、Track Numberフィールド、Index Numberフィールド、Reservedフィールド、Time code フィールド、Application codeフィールド、Application dataフィールドなどによって計32バイトのヘッダセクタが構築されている。

【0010】

【発明が解決しようとする課題】ところで、CD再生システムではアドレス（時分秒）を基準に各種コントロールがなされることとなる。例えば再生Pause 時には同一アドレスが再生される毎に内周に向かって1トラックジャンプを繰り返すようなコントロールがなされる。したがって、図6に示したような1フレーム内にセクタアドレスが記録されているようなディスクシステムでは、CRCが付加されていてもバーストエラー等のエラーにたいして高い信頼性を得ることができなかった。

【0011】例えば図6に示した1フレーム内にセクタアドレスが記録されているディスクシステムのデータを再生する場合、セクタシンクSync又はセクタヘッダ内のセクタアドレスが欠落すると、データの破綻が生じることとなる。破綻したデータがオーディオ信号である場合には、再生Pause 時には音声ミュートされているので、再生データが一部破綻した場合でも特に影響を及ぼすことはない。しかし、映像信号が破綻した場合にはその映像信号による画像が出力されなくなり画抜けが生じることとなる。そしてこの画抜けが画面上に著しく現れ、視聴の妨げになってしまうという問題点があった。

【0012】以上、映像データ信号のセクタアドレスが破綻する例を挙げたが、その他の各種データについても、データの破綻により正常な動作の妨げとなってしまうことになってしまう。

【0013】

【課題を解決するための手段】本発明はこのような問題点を解決するための補間アドレス生成装置及び生成方法を実現するものであり、再生されたRF再生信号を復調する復調手段と、上記復調手段で復調された再生信号からセクタアドレスを復調するとともに、そのアドレス又はエラー訂正不可フラグを出力するアドレスデコード手段と、上記復調手段で復調された再生信号から同期信号を分離して出力する同期検出手段と、上記同期検出手段から出力される同期信号が欠落した場合に補間処理を行ない補間された同期信号を出力する同期信号補間手段と、上記アドレスデコード手段から出力されるエラー訂正不可フラグに基づき補間アドレスを生成するアドレス補間手段とを備え、上記アドレス補間手段は上記アドレ

スデコード手段からエラー訂正不可フラグが出力された場合、上記同期信号補間手段から出力される同期信号を基準として補間アドレス信号を生成するようになされている。

【0014】

【作用】本発明はセクタシンクを基準として補間アドレスを生成することができるので、例えばディフェクト（データの破綻）等の理由により再生信号が欠落した場合でも、必要とされるセクタアドレスを得ることができるようになる。これにより、セクタアドレスで信号処理を管理するディスクシステムにおいてディフェクト等による画抜け等を防止することができるようになる。

【0015】

【実施例】以下、図1乃至図3にしたがい本発明の補間アドレス生成装置、及び補間アドレス生成方法の実施例を説明する。図1は本実施例の補間アドレス生成装置を構成する回路ブロックの一例を示す図である。この図で、Dは例えば映像／音楽情報等が記録されている光ディスク（例えばデジタルビデオディスク等）を示し、図示されていないスピンドルモータにより回転駆動される。1は光学ヘッドであり、ディスクDに対してレーザ光を照射し、その反射光をディテクタで検出してディスクDに記録されている情報を読み出す。

【0016】光学ヘッド1にはそのレーザ出力端となる対物レンズをトラッキング及びフォーカス方向に移動可能に支持する2軸機構が搭載されており、この2軸機構はトラッキングコイルに印加されるトラッキングドライブ電流に応じて対物レンズをディスク半径方向に移動させ、またフォーカスコイルに対して印加されるフォーカスドライブ電流に応じて対物レンズをディスクDに対して接離する方向に移動させる。なお、光学ヘッド1全体は図示されていないスレッドモータによって、その全体がディスクD半径方向に移動するようになされている。

【0017】2はRF信号処理部を示し、光学ヘッド1の再生動作によってディスクDから読み出された情報から、再生RF信号、トラッキングエラー信号、フォーカスエラー信号を抽出する。3は復調部を示す。この復調部3はRF信号処理部2で抽出された再生RF信号（EFM信号）をEFM復調しデジタル符号化されているデータを出力する。

【0018】復調部3で復調されて出力されたデータは、アドレスデコード4及び同期信号検出部5に入力される。アドレスデコード4では入力されたデータのCRCチェック、及びエラー訂正等がなされアドレスが出力される。ここでエラーデータが入力され、かつエラー訂正可能な場合はエラー訂正がなされたアドレスが出力されることとなる。また、エラー訂正不可能なデータが入力された場合はエラー訂正不可フラグが出力される。

【0019】同期信号検出部5ではデータのトリガーとして図6で説明したセクタの先頭に付加されたセクター

シンクSyncが分離される。そして、例えばディフェクト等の理由により、セクタシンクSyncが欠落した場合には同期信号補間部6でセクタシンクSyncの補間処理がなされることとなる。すなわち、同期信号補間部6によってセクタシンクSyncは所定のタイミングで途切れずに得ることができるようになる。

【0020】7はアドレス補間部を示す。このアドレス補間部7はアドレスデコーダ4からアドレスが入力された場合はそのアドレスをそのまま出力し、またアドレスデコーダ4からエラー訂正不可フラグが入力されたときは、後述するようにセクタシンクSyncを基準として補間アドレス信号を生成して出力するようになされている。

【0021】8は制御部を示し、アドレス補間部7から出力されたアドレス、又は補間アドレスを読み取り、そのアドレス又は補間アドレスに対応したデータをメモリ手段に書き込むためのアドレスを指定する。なお、上記回路ブロックは、例えばDVD (Digital Video Disk) 等の、映像を再生することができる機器に適用するものである。

【0022】図2 (a) (b) (c) はアドレス補間部7におけるアドレス補間の様子を模式的に示す図であり、同図 (a) はセクタシンクSyncのタイミング、同図 (b) はセクタシンクSyncと同期して読み込まれるセクタアドレス、同図 (c) はアドレス補間部7で補間された補間アドレスを示す。

【0023】同図 (a) に示したセクタシンクSyncは補間されているので、所定の周期で途切れずに得ることが可能である。しかし、同図 (b) に示したようにセクタアドレスAをデータとして読み込むことが可能で、それに続く2個のセクタシンクSyncに対応しているセクタアドレスを読み込むことができずエラー訂正不可能 (NG₁、NG₂) である場合、本発明ではセクタアドレスAからNG₁、NG₂の部分の補間アドレスを算出するようにする。すなわち、セクタアドレスAの値をセクタシンクSyncの数だけインクリメントすることによって、NG₁のセクタアドレスの値をA+1、NG₂のセクタアドレスの値をA+2とした補間アドレスを得ることができる。これは、データを連続して再生している場合にセクタシンクSyncが連続するため、前記のような補間アドレスの生成を可能とすることができるのである。

【0024】図3は補間アドレスを生成する際の処理を示すフローチャートである。以下説明する補間処理において、実際には例えばディフェクト以外の理由によりセクタアドレスを読み取ることができない場合もあるので、連続して行う補間処理の回数に上限を設ける必要がある。そして上限を超えた場合は補間処理を行わずに後述するエマージェンシー処理を行うこととなる。なお、この図に示すフローチャートにおける変数Bは補間アドレス値を算出するワークエリア、変数nは補間回数をカウントするワークエリア、またMaxは連続して行う補

間回数の上限を示している。

【0025】ユーザによって再生操作がなされると(S001)、補間回数のワークエリアnが初期化され『0』が格納される(S002)。そして所定の周期でセクタシンクSyncが検出されることとなり、ステップS003でセクタシンクSyncが検出された場合は、エラー訂正が可能であるか否かが判別される(S004)。ここで、まずエラー訂正可能であると判別された場合はステップS005に進み、ワークエリアnが『0』にリセットされ、読み込まれたセクタアドレスをワークエリアBに格納する(S006)。ここでは、図2 (b) に示したセクタアドレスAが格納されることとなる。そしてワークエリアBに移された値をセクタアドレスを格納するバッファ『Address』に移すことによって(S010)、入力されたデータのセクタアドレスを得ることができる。

【0026】またステップS004においてエラー訂正が不可能であると判別された場合は、補間回数nのインクリメント処理を行う(S007)。そして補間回数nが予め設定されている値Max以下である場合は(S008)、ワークエリアBをインクリメントして(S009)、バッファ『Address』に格納するようにする(S010)。ここでは補間アドレスとして、図2 (b) に示したセクタアドレスAに続くアドレスA+1が格納されることとなる。さらに、再びステップS004においてエラー訂正が不可能であると判別された場合は、図2 (b) に示したアドレスA+1に続くアドレスA+2が算出されてバッファ『Address』に格納されるようになる。

【0027】ステップS003~S004、ステップS007~S010の補間アドレス算出処理を連続して行うようにした所定の回数、すなわち上限Maxだけ繰り返して行った場合はステップS008からステップS011に進みエマージェンシー処理を行う。つまり、所定の回数以上補間処理がなされた場合は、ディフェクト以外例えばサーボはずれ等の理由によってセクタアドレスが読み取れないとみなし、リトライ等の各種の処理がなされるようになる。なお、上限Maxはデータが読み込まれるメモリの容量によるが、例えば7~10程度の回数に設定することが望ましい。また、本実施例はハードウェアによって構成するものとしたが、CPU、DSP等の演算処理装置を用いて構成してもよい。

【0028】

【発明の効果】以上、説明したように本発明のアドレス補間装置及びアドレス補間方法は、例えばディフェクト等によって再生信号の一部が破綻したような場合でも、同期信号を基準としてアドレスを得ることができるので、再生Pause時においてもディフェクト等に関係なく1トラックジャンプができるようになり、静止状態を維持することができるようになる。したがって、セクタアドレスで信号処理を管理するシステムにおいては、特に映像信号を再生する際にディフェクトによる画抜けを回

避し、再生Pause中に視聴を妨げることを防止することができるようになる。

【図面の簡単な説明】

【図1】本発明の実施例の補間アドレス生成装置の構成を示すブロック図である。

【図2】セクタシンクとアドレス及び補間アドレスの関係を示すタイミングチャートである。

【図3】補間アドレスを生成する際の処理を示すフローチャートである。

【図4】CD-DAやビデオCD等のデータ記録フォーマットのフレーム構成を示す図である。

【図5】1ブロックのサブコードデータの概要を模式的に示す図である。

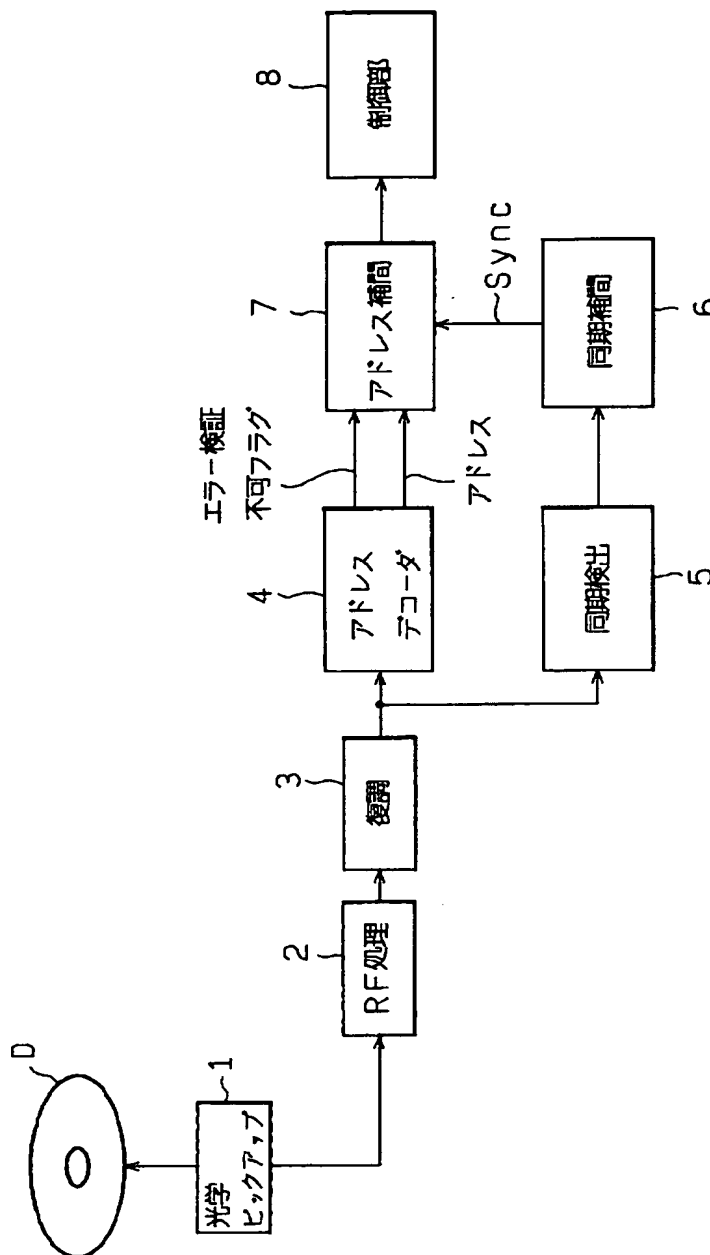
【図6】1フレーム内にアドレスが記録されているディスクシステムの1セクタを模式的に示す図である。

【図7】図6に示した1セクタ内に構成されるセクタヘッダのレイアウトを模式的に示す図である。

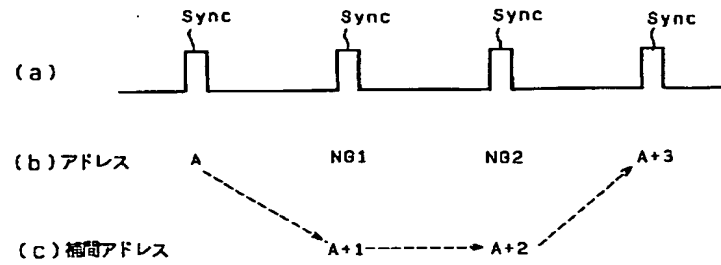
【符号の説明】

- 4 アドレスデコーダ
- 5 同期信号検出部
- 6 同期信号補間部
- 7 アドレス補間部

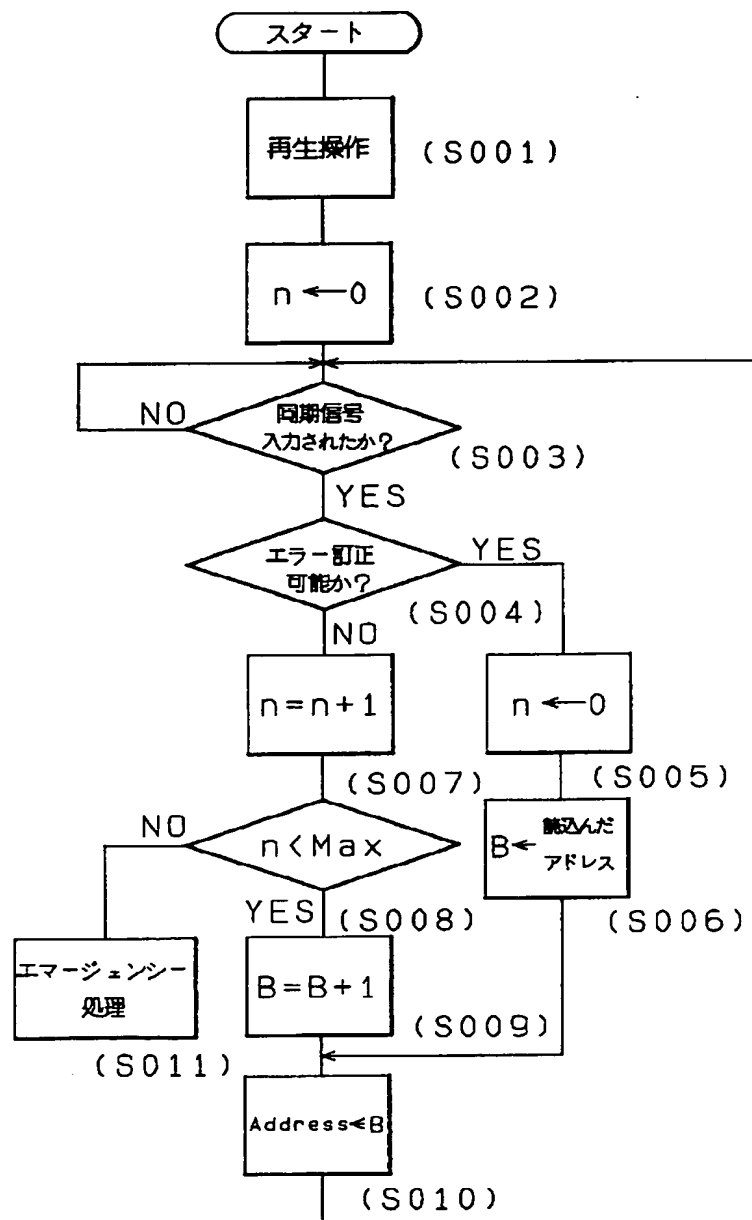
【図1】



【図2】

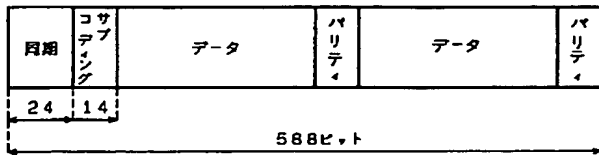


【図3】



【図4】

フレーム構造



【図5】

フレーム

サブコーディング

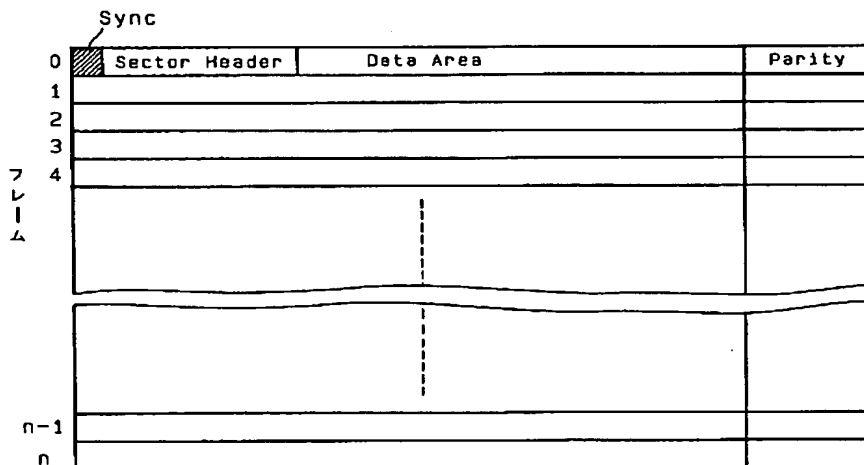
(a)

98n+1	同期パターン							
98n+2	同期パターン							
98n+3	P ₁	Q ₁	R ₁	S ₁	T ₁	U ₁	V ₁	W ₁
98n+4	P ₂	Q ₂	R ₂	S ₂	T ₂	U ₂	V ₂	W ₂
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
98n+97	P ₉₅	Q ₉₅	R ₉₅	S ₉₅	T ₉₅	U ₉₅	V ₉₅	W ₉₅
98n+98	P ₉₆	Q ₉₆	R ₉₆	S ₉₆	T ₉₆	U ₉₆	V ₉₆	W ₉₆
98 _{int+1} +1								

(b)

Q ₁ ~Q ₄	Q ₅ ~Q ₈	Q ₉	Q ₉₆	Q ₉₇ ~ Q ₉₈
コントロール	アドレス	サブQデータ		CRC

【図6】



【図7】

Sector Header layout

Pos	±0	±1	±2	±3	Size
4	CRC		Addr1		4
8	Addr0	Reserved	Layer	Copyright	4
12	Track Number	Index Number		Reserved	4
16	Time Code				4
20	Application Code	Application Data			12
32					

Total:32